

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-053249

(43)Date of publication of application : 23.02.2001

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 27/10

(21)Application number : 11-222582

(71)Applicant : TOKYO ELECTRON LTD

(22)Date of filing : 05.08.1999

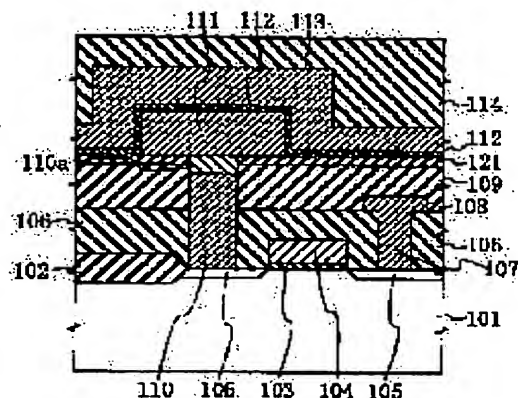
(72)Inventor : SATO MUTSUMI
HOSODA KEIZO
MURAKI YUSUKE
MAEKAWA KAORU

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance adhesion of the storage electrode of a capacitor to an insulating film under this electrode and to raise the yield of manufacturing a semiconductor device.

SOLUTION: A dielectric film 121, consisting of a metallic oxide film, is laminated on interlayer insulating films 106 and 109 on a substrate, and thereafter a plug contact is opened in the films 106 and 109 to fill a polysilicon film 10 in the plug contact and a barrier layer 110a, consisting of a metallic nitride layer is inserted between the plug contact and a storage electrode 111, to form the storage electrode 111 on the upper end of the plug contact. Since the electrode 111 consisting of a metallic material film is bonded to the film 121 which consists of the metallic oxide film without directly connecting with the film 109, the adhesion of the electrode 110 to the film 121 is modified, and since the film 109 also closely adheres to the film 121, the adhesion of the electrode 111 to the film 109 results in being modified indirectly.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号
特開2001-53249
(P2001-53249A)

(43)公開日 平成13年2月23日(2001.2.23)

(51)Int.Cl. ⁷	識別記号	F1	キーワード(参考)
H01L 27/108		H01L 27/10	B21B 6F088
21/8249			451
27/10	451		651

審査請求 未請求 請求項の数 5 OL (全 7 頁)

(21)出願番号 特願平11-222582
(22)出願日 平成11年8月5日(1999.8.5)

(71)出願人 000219967
東京エレクトロン株式会社
東京都港区赤坂6丁目8番6号
(72)発明者 佐藤 昭
山梨県道志市穂坂町三ツ沢850 東京エ
レクトロン株式会社内
(72)発明者 飯田 恵三
山梨県道志市穂坂町三ツ沢850 東京エ
レクトロン株式会社内
(74)代理人 100064521
弁理士 山川 政樹

最終頁に続く

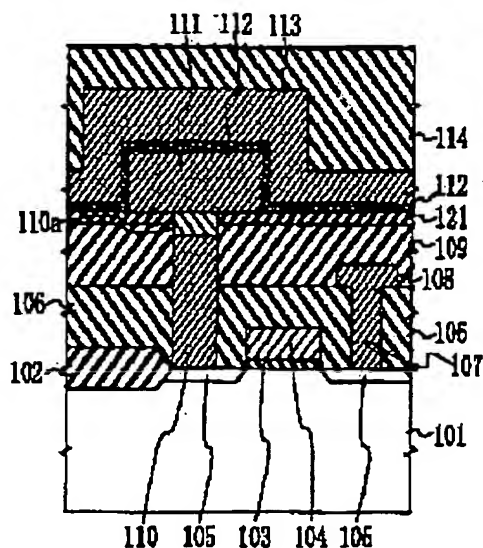
(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】 (修正有)

【課題】 キャパシタのストレージ電極とこの下の絶縁膜との密着性を向上させ、製造歩留りを向上させる。

【解決手段】 基板上の層間絶縁膜106、109の上に金属酸化物からなる誘電体膜121を積層した後に、プラグコンタクトを開けてポリシリコン110を埋め込み、プラグ上端に金属窒化物からなるバリア層110aを挿んで密着電極111を形成する。金属材料からなる密着電極111は層間絶縁膜109とは直結せず、金属酸化物からなる誘電体膜121と接するので密着性を

良くし、層間絶縁膜109も誘電体膜121に密着するので、間接的に密着電極111の層間絶縁膜109との密着性を改善する結果となる。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された絶縁材料からなる層間絶縁膜と、

前記層間絶縁膜を通して形成された導電性を有する材料からなるコンタクトと、

このコンタクトに接続して前記層間絶縁膜上に形成された金属材料からなる第1の電極と、

この第1の電極上に形成された絶縁性を有する金属酸化物からなる容量絶縁膜と、

この容量絶縁膜により絶縁分離されて前記第1の電極表面上に形成された第2の電極と、

前記層間絶縁膜と前記第1の電極の間に形成された絶縁性を有する金属酸化物からなる誘電体薄膜とを備えたことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記容量絶縁膜と前記誘電体薄膜とは同一の材料から構成されたことを特徴とする半導体装置。

【請求項3】 請求項1または2記載の半導体装置において、

前記容量絶縁膜は前記層間絶縁膜上にまで延在して形成され、

前記誘電体薄膜は前記層間絶縁膜と前記容量絶縁膜の間にまで延在して形成され

たことを特徴とする半導体装置。

【請求項4】 請求項1から3のいずれか1項に記載の半導体装置において、

前記層間絶縁膜下の前記半導体基板上に前記コンタクトに接続して形成されたトランジスタを備えたことを特徴とする半導体装置。

【請求項5】 半導体基板上に絶縁材料からなる層間絶縁膜を形成する工程と、

前記層間絶縁膜上に絶縁性を有する金属酸化物からなる誘電体薄膜を形成する工程と導電性を有する材料からなるコンタクトを前記層間絶縁膜と前記誘電体薄膜を貫通して形成する工程と、

前記誘電体薄膜上に金属材料からなる第1の電極を前記コンタクトに接続して形成する工程と、

前記第1の電極上に絶縁性を有する金属酸化物からなる容量絶縁膜を形成する工程と、

前記容量絶縁膜により絶縁分離された状態で前記第1の電極表面上に第2の電極を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、金属酸化膜を誘電体膜として用いるキャパシタを備えた半導体装置およびその製造方法に関する。

【0002】

【従来の技術】1トランジスタ1キャパシタで構成されるダイナミックランダムアクセスメモリ(DRAM)で

は、集積回路の高集積化が進行している中で、メモリセルの面積を小さくして記憶容量を大きくすることが要求されている。この要求のなかで、キャパシタを構成する誘電体膜に、酸化タンタル(Ta_2O_5)などのより高い誘電率を有する材料を用いることで、メモリセルの面積を拡大することなく容量を大きくする技術が提案されている。

【0003】誘電体膜により高い誘電率を有する材料を用いる場合、例えば酸化タンタルでは、酸化タンタルを成膜した後で熱処理やプラズマ処理などの後処理を施すことで、所期の誘電率が得られるようにしている。このとき、酸化物である誘電材料より酸素が脱離することを防ぐために、一般には酸素が存在する雰囲気中で後処理を行うようにしている。このため、従来一般的に用いられてきたポリシリコン電極をストレージ電極に用いるとこれが酸化してしまうため、金や白金またはルテニウムなどの酸化されにくいまたは酸化しても導電性を示す金属材料を用いるようにしている。

【0004】次に、上記のような誘電体膜を用いたDRAMに関してスタック型のメモリセルを例にして以下に説明する。図6に示すように、半導体基板601上の素子分離領域602で区画された領域に、ゲート絶縁膜603を介してゲート電極604が形成されている。また、ゲート電極604両側の半導体基板601には、ゲート電極604をマスクとしたイオン注入などにより不純物領域を形成することで、ソース・ドレイン605が配置されている。

【0005】また、ゲート電極604上には、半導体基板601全域にわたって絶縁体からなる層間絶縁膜606が形成され、この層間絶縁膜606の所定の位置に半導体基板601に形成したソース・ドレイン605と接続するコンタクトプラグ607が形成され、このコンタクトプラグ607に接続してビット線608が形成されている。また、ビット線608を含む層間絶縁膜606上には、絶縁体からなる層間絶縁膜609が形成され、この層間絶縁膜609の所定位置に半導体基板601に形成したソース・ドレイン605と接続するコンタクトプラグ610が形成されている。また、このコンタクトプラグ610上には、バリア膜610aを介してスタック型の例えばルテニウムからなるストレージ電極611が形成されている。

【0006】また、ストレージ電極611を覆うように容量絶縁膜612が形成され、これらを覆うようにプレート電極613が形成されている。このように、ゲート電極604によるトランジスタと、これに接続するストレージ電極611、容量絶縁膜612、プレート電極613からなるキャパシタとにより、メモリセルの基本構成が構成されている。なお、プレート電極613を含む層間絶縁膜609上にも、絶縁体からなる層間絶縁膜614が形成され、この上に、図示していないが、上述し

たビット線608、プレート電極613に接続する配線層が形成される。また、上述では、バリア膜610aが、コンタクトプラグ610上に形成されているようにしたが、これに加え、ストレージ電極611の下面全周にバリア膜を備える場合もある。

【0007】

【発明が解決しようとする課題】 しかしながら、上述した従来の構成では、ストレージ電極とこの下の層間絶縁膜との密着性が悪く、製造歩留りが悪いという問題があった。これは、ストレージ電極下面にバリア膜を形成した場合でも同様であり、この場合は、バリア膜とこの下の層間絶縁膜との密着性が悪く、はがれやすい状態となっていた。この密着性が悪い状態では、前述したキャパシタを構成する窒素絶縁膜の後処理時や後工程のプロセス時の熱などによって、ストレージ電極がこの下の層間絶縁膜よりはがれてしまう場合があり、製造歩留りを悪化させていた。

【0008】この発明は、以上のような問題点を解消するためになされたものであり、キャパシタの電極とこれに接するたとえばキャパシタの電極下に配置された絶縁膜との密着性を向上させ、製造歩留りを向上させることを目的とする。

【0009】

【課題を解決するための手段】 この発明の半導体装置は、半導体基板上の絶縁材料からなる層間絶縁膜上を貫通して形成された導電性を有する材料からなるコンタクトに接続して層間絶縁膜上に形成された金属材料からなる第1の電極と、この第1の電極上に形成された絶縁性を有する金属酸化物からなる窒素絶縁膜と、この窒素絶縁膜により絶縁分離されて第1の電極表面上に形成された第2の電極とからなるキャパシタを備え、加えて、層間絶縁膜と第1の電極の間に形成された絶縁性を有する金属酸化物からなる誘電体薄膜を備えるものである。この発明によれば、層間絶縁膜と第1の電極の間に絶縁性を有する金属酸化物からなる誘電体膜を配置したので、金属材料からなる第1の電極は金属を含む誘電体薄膜に接触し、層間絶縁膜は酸化物質絶縁体である誘電体薄膜と接触した状態となる。

【0010】また、窒素絶縁膜と誘電体薄膜とは同一の材料から構成しても良く、また、窒素絶縁膜を層間絶縁膜上にまで延在して形成し、誘電体薄膜を層間絶縁膜と窒素絶縁膜の間にまで延在して形成してもよい。また、層間絶縁膜下の半導体基板上にコンタクトに接続して形成されたトランジスタを備えれば、DRAMのメモリセルが構成される。

【0011】また、この発明の半導体装置の製造方法は、まず、半導体基板上に絶縁材料からなる層間絶縁膜を形成し、この後、層間絶縁膜上に絶縁性を有する金属酸化物からなる誘電体薄膜を形成する。次に、導電性を有する材料からなるコンタクトを層間絶縁膜と誘電体薄

膜を貫通して形成し、この誘電体薄膜上に金属材料からなる第1の電極をコンタクトに接続して形成する。次に、第1の電極上に絶縁性を有する金属酸化物からなる窒素絶縁膜を形成し、この窒素絶縁膜により絶縁分離された状態で第1の電極表面上に第2の電極を形成しようとしたものである。この発明によれば、層間絶縁膜上に絶縁性を有する金属酸化物からなる誘電体膜を形成し、この誘電体膜上に第1の電極を形成するようにしたので、第1の電極と層間絶縁膜は、金属の酸化物絶縁体である誘電体薄膜を介して接層された構造となっている。

【0012】

【発明の実施の形態】 以下この発明の実施の形態を図を参照して説明する。以下では、スタック型のメモリセルを例にして説明する。この実施の形態では、図1に示すように、まず、半導体基板101上の素子分離領域102で区画された領域に、ゲート絶縁膜103を介してゲート電極104が形成されている状態とした。また、ゲート電極104両脇の半導体基板101には、ゲート電極104をマスクとしたイオン注入などにより不純物領域を形成することで、ソース・ドレイン105を配置した。

【0013】また、ゲート電極104上には、半導体基板101全域にわたって絶縁体からなる層間絶縁膜106を形成し、この層間絶縁膜106の所定位置に半導体基板101に形成したソース・ドレイン105の一方と接続するコンタクトプラグ107を形成し、これに接続してビット線108を形成した。また、ビット線108を含む層間絶縁膜106上には、絶縁体からなる層間絶縁膜109を形成し、この層間絶縁膜109の所定位置にポリシリコンからなるコンタクトプラグ110を形成し、形成したコンタクトプラグ110の下部が半導体基板101に形成したソース・ドレイン105の他方と接続している状態とした。

【0014】そして、この実施の形態では、層間絶縁膜109上に、例えば酸化タンタルなどの絶縁性を有する金属酸化物からなる誘電体薄膜121を備えるようにした。また、このように誘電体薄膜121を配置したうえで、スタック型のルテニウムからなるストレージ電極（第1の電極）111を、コンタクトプラグ110に接続した状態で形成した。なお、このストレージ電極111は、バリア膜110aを介してコンタクトプラグ110に接続されるようにした。

【0015】また、誘電体薄膜121を介して形成したストレージ電極111上には、これを覆うように、酸化タンタルからなる窒素絶縁膜112を配置した。なお、この窒素絶縁膜112は、酸化タンタルだけではなく、他の金属酸化物からなる高誘電体や強誘電体を用いるようにしても良い。例えばチタン酸バリウム（ BaTiO_3 : BT）やチタン酸ストロンチウム（ SrTiO_3 : ST）の固溶体であるBSTを用いるようにしても良

い。ところで、図1では、この容量絶縁膜112を、ストレージ電極111上だけでなく、ストレージ電極111周囲の層間絶縁膜109上部の領域にまで延在して形成したが、これに限るものではない。この容量絶縁膜112は、以降に説明するプレート電極(第2の電極)113とストレージ電極111とを絶縁分離するように、それらの間に形成されていればよい。

【0016】また、容量絶縁膜112を介し、ストレージ電極111上を覆うようにプレート電極113を配置した。ここでは、このプレート電極113は、複数のメモリセルで共用されており、たとえば、1つのプレート電極の下に $128 \times 256 = 32768$ 個の下部電極が配置されている。以上のことにより、ゲート電極104によるトランジスタと、これに接続するストレージ電極111、容量絶縁膜112、プレート電極113からなるキャパシタとを備えたメモリセルの基本構成が構成されたことになる。なお、プレート電極113を含む層間絶縁膜109上にも、絶縁体からなる層間絶縁膜114が形成され、この上に、図示していないが、上述したビット線108、プレート電極113に接続する配線層が形成されている。

【0017】以上に説明したように、この実施の形態では、ストレージ電極111とこの下の層間絶縁膜109との間に、酸化タンタルからなる誘電体薄膜121を備えるようにしたので、層間絶縁膜109上に置けるストレージ電極111の密着性を向上させることができた。ところで、上記実施の形態では、誘電体薄膜121として酸化タンタルを用いるようにしたが、これに限るものではなく、他の絶縁性を有する金属酸化物を用いるようにしても良い。例えば、BSTなどを誘電体膜121に用いるようにしても良い。

【0018】ただし、この実施の形態では、キャパシタを構成する容量絶縁膜112に酸化タンタルを用いるようにしているので、誘電体薄膜121に同じ材料を用いることで、次に示すようにコストの低減を図ることができる。これは、容量絶縁膜112を形成するために用いているすでにある製造装置により、誘電体薄膜121を形成できるので、新たな設備を導入する必要がないためである。このように、新たな設備を導入することがなければ、製造コストの低減をはかることができる。従って、容量絶縁膜112にBSTを用いる場合は、誘電体薄膜121にもBSTを用いるようにすればよい。

【0019】また、上記実施の形態では、誘電体薄膜121を、層間絶縁膜109全域に形成するようにしたが、これに限るものではなく、ストレージ電極111下面の領域だけに形成するようにしてもよい。ただし、誘電体薄膜121を、層間絶縁膜109全域に形成することで、次に説明するように、より安定して容量絶縁膜112を形成することができるようになる。まず、従来では、ストレージ電極の側面下部には、層間絶縁膜すなわ

ちシリコン酸化物が存在していた。このシリコン酸化物上では、化学的気相成長法(CVD法)などによる酸化タンタルなどの膜が成長しにくく、シリコン酸化物上と金属上とで核形成に要する時間の違いにより酸化タンタルの成長速度が異なるため、層間絶縁膜との界面において容量絶縁膜が弱くなり電流リークの原因となっていた。

【0020】この従来の状態に対し、この実施の形態では、容量絶縁膜の形成時に、ストレージ電極側面下部には、金属酸化物からなる誘電体薄膜を備えるようにしたので、酸化タンタルなどの異常成長を抑制することが可能となり、より安定して容量絶縁膜を形成することができるようになる。特に、この実施の形態では、容量絶縁膜と同一の材料を誘電体薄膜としてストレージ電極下に配置するようにしたので、異常な成長の抑制効果がより高くなる。

【0021】次に、上述したこの実施の形態における半導体装置、すなわち、図1に示したスタック型のメモリセルの製造方法に関して一部を説明する。まず、図2(a)に示すように、半導体基板101上の素子分離領域102で区画された領域に、公知の方法によりゲート絶縁膜103を介してゲート電極104を形成する。また、ゲート電極104が形成された後、ゲート電極104をマスクとしたイオン注入などによりソース・ドレイン105を形成する。次に、図2(b)に示すように、半導体基板101全域に酸化シリコンなどの絶縁体からなる層間絶縁膜106を形成し、所定の位置に半導体基板101に形成したソース・ドレイン105の一方と接続するコンタクトプラグ107を形成し、これに接続してビット線108を形成する。

【0022】次に、図3(c)に示すように、ビット線108を含む層間絶縁膜106上に、酸化シリコンなどの絶縁体からなる層間絶縁膜109を形成する。引き続き、この層間絶縁膜109上に、酸化タンタルからなる誘電体薄膜121を膜厚10~100nm程度に形成する。この誘電体薄膜121の形成は、例えばCVD法により行えばよい。次に、図3(d)に示すように、公知のフォトリソグラフィ技術およびエッチング技術により、誘電体薄膜121、層間絶縁膜109、層間絶縁膜106に、ソース・ドレイン105の他方に到達するコンタクトホール301を形成する。次いで、コンタクトホール301が充填された状態となるように、誘電体薄膜121上にポリシリコンを堆積することで、図3(e)に示すように、ポリシリコン膜302を形成する。このポリシリコンの堆積は、例えば、CVD法により行えばよい。

【0023】次いで、ポリシリコン膜302を選択的にエッチバックし、図3(f)に示すように、コンタクトホール301上部にある程度の空間を備えた状態で、コンタクトホール301内にポリシリコンからなるコンタ

クトプラグ110が形成された状態とする。ポリシリコン膜302の選択的なエッチバックは、シリコンに選択性を有して酸化タンタルをほとんどエッチングしないエッチングガスを用いた反応性ドライエッチングにより行えばよい。

【0024】次に、コンタクトホール301内のコンタクトプラグ110上部の空間を充填するように、バリア金属の膜を膜厚50～100nm程度に堆積し、図4(e)に示すように、コンタクトプラグ110上部にバリア膜110aを形成する。このバリア膜110aの形成では、コンタクトプラグ110上部の空間が充填された状態となるように、誘電体薄膜121上にバリア金属を堆積して膜を形成し、堆積した膜を所定量エッチバックして、図4(e)に示すように、コンタクトプラグ110上部にバリア膜110aを形成すればよい。このバリア膜110aを形成するバリア金属としては、例えば、チタンなどの高融点金属やこの高融点金属の窒化物を用いるようにすればよい。

【0025】次いで、図4(h)に示すように、誘電体薄膜121上に、例えばスパッタ法やCVD法などにより、ルテニウムからなる金属膜401を膜厚0.5～1μm程度に形成する。次いで、金属膜401を公知のフォトリソグラフィ技術とエッチング技術によりパターンニングし、図4(i)に示すように、誘電体薄膜121上にバリア膜110aを介してコンタクトプラグ110に接続するストレージ電極111を形成する。次に、誘電体薄膜121上にストレージ電極111を覆って酸化タンタルの膜を膜厚5～50nm程度形成し、これに500～700℃程度の温度による熱処理などで後処理を施すことで、図5(j)に示すように、容量絶縁膜112を形成する。

【0026】次いで、容量絶縁膜112上に例えば、窒化チタンや窒化タングステンなどの膜やルテニウムからなる金属膜を膜厚10～100nm程度に形成し、これを公知のフォトリソグラフィ技術とエッチング技術によりパターンニングし、図5(k)に示すように、プレート電極113を形成する。この後、プレート電極113を覆ってシリコン酸化物などの絶縁材料からなる層間絶縁膜114を形成すれば、図1に示した構造が得られる。

【0027】ところで、上述では、図1および図4に示したように、バリア膜110aはコンタクトプラグ110上部にのみ形成するようにしたが、これに限るものではない。バリア膜は、ストレージ電極を構成する材料がポリシリコンからなるコンタクトプラグに拡散するのを防ぐために形成している。なお、このバリア膜はストレージ電極とコンタクトプラグの間に配置されるため、導電性が必要となる。このため、前述したように、高融点金属やこの高融点金属の窒化物をバリア膜の材料として用いるようにしているが、材料の拡散を防ぐという観点からは、ストレージ電極の下面全域にバリア膜を形成す

るようにしても良い。この場合、形成したバリア膜もストレージ電極の一部となる。

【0028】ところで、上記実施の形態では、キャパシタの電極を平板状のものとしたが、これに限るものではなく、円筒形状や柱層型の電極構造としてもよい。キャパシタの電極を円筒形状とした場合、側面においては外側からプレート電極—容量絶縁膜—ストレージ電極—容量絶縁膜—プレート電極との順に配置されることになる。また、柱層型の電極構造では、最上層にストレージ電極が配置されることもある。

【0029】

【発明の効果】以上説明したように、この発明では、半導体基板上の絶縁材料からなる層間絶縁膜を貫通して導電性を有する材料からなるコンタクトを形成し、これに接続して層間絶縁膜上に金属材料からなる第1の電極を配置し、この第1の電極上に絶縁性を有する金属酸化物からなる容量絶縁膜を介してこの容量絶縁膜により絶縁分離された状態で第2の電極を配置し、加えて、層間絶縁膜と第1の電極の間に絶縁性を有する金属酸化物からなる誘電体薄膜を形成している。この発明によれば、層間絶縁膜と第1の電極の間に絶縁性を有する金属酸化物からなる誘電体膜を配置したので、金属材料からなる第1の電極は金属を含む誘電体薄膜に接触し、層間絶縁膜は酸化物絶縁体である誘電体薄膜と接触した状態となる。この結果、この発明によれば、誘電体薄膜の存在により、キャパシタを構成する第1の電極の層間絶縁膜との密着性がより強固なものとなり、半導体装置の製造歩留りを向上させることができるという優れた効果が得られる。

【図面の簡単な説明】

【図1】 この発明の実施の形態における半導体装置の一部構成を概略的に示す断面図である。

【図2】 実施の形態の半導体装置の製造過程を説明するための工程図である。

【図3】 図2に続く、実施の形態の半導体装置の製造過程を説明するための工程図である。

【図4】 図3に続く、実施の形態の半導体装置の製造過程を説明するための工程図である。

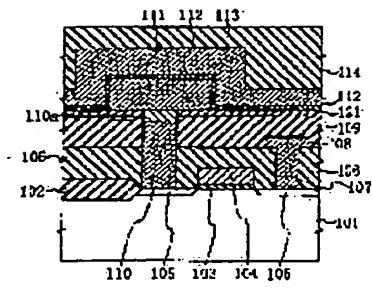
【図5】 図4に続く、実施の形態の半導体装置の製造過程を説明するための工程図である。

【図6】 従来よりある半導体装置の一部構成を示す断面図である。

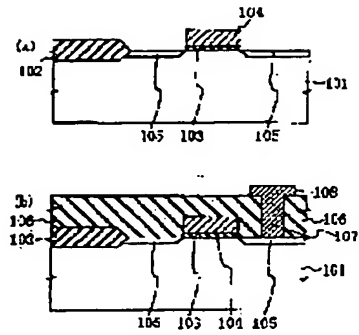
【符号の説明】

101…半導体基板、102…素子分離領域、103…ゲート絶縁膜、104…ゲート電極、105…ソース・ドレイン、106…層間絶縁膜、107…コンタクトプラグ、108…ビット線、109…層間絶縁膜、110…コンタクトプラグ、110a…バリア膜、111…ストレージ電極、112…容量絶縁膜、113…プレート電極、114…層間絶縁膜、121…誘電体薄膜。

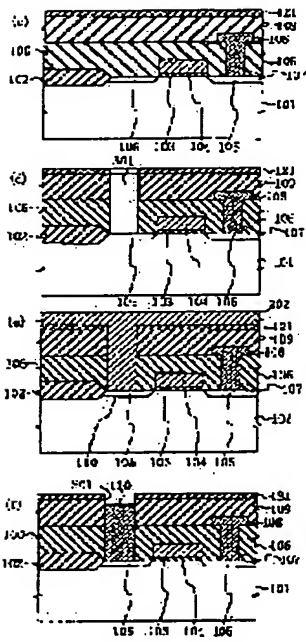
【図 1】



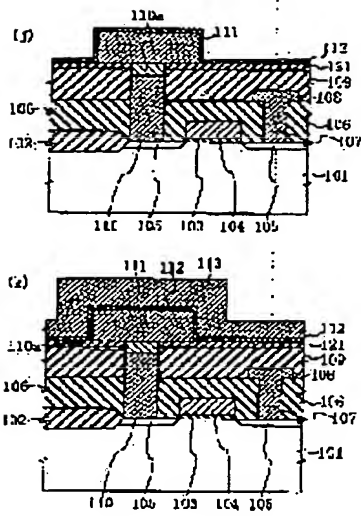
【図 2】



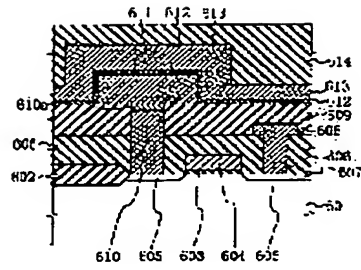
【図 3】



【図5】



【図6】



フロントページの続き

(72)発明者 村木 雄介
山梨県韮崎市穂坂町三ツ沢650 東京エ
レクトロン株式会社内

(72)発明者 前川 薫
山梨県韮崎市穂坂町三ツ沢650 東京エ
レクトロン株式会社内
Fターム(参考) 5F083 A022 A043 A048 A049 A056
GA30 JA06 JA14 JA38 JA39
JA40 JA56 MA05 MA06 MA17
MA19 PR33

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.